


LATCH CIRCUIT PROVIDED WITH CLOCK SIGNAL LEVEL CONVERSION FUNCTION, AND FLIP-FLOP CIRCUIT

Patent number: JP11103240
Publication date: 1999-04-13
Inventor: HAMADA MOTOTSUGU; KURODA TADAHIRO
Applicant: TOSHIBA CORP
Classification:
- International: H03K3/037; H03K3/3562; H03K19/0185
- european:
Application number: JP19970261741 19970926
Priority number(s):

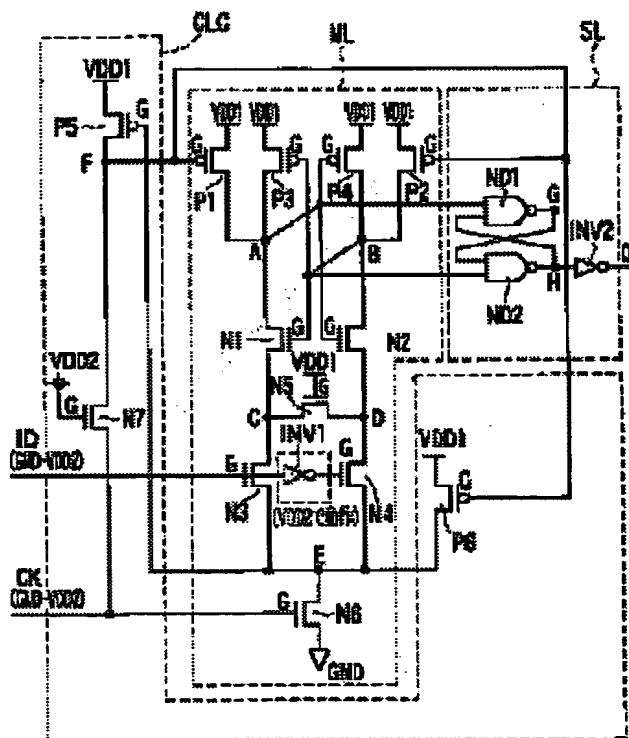
Also published as:

 JP11103240 (

Abstract of JP11103240

PROBLEM TO BE SOLVED: To prevent leakage current from flowing through a flip-flop circuit.

SOLUTION: This flip-flop circuit provided with a master latch circuit ML and a slave latch circuit SL is driven by voltage VDD1. A clock signal CK is amplitude between voltage VDD2 lower than the voltage VDD1 and ground voltage. A clock signal level conversion circuit CLC is arranged on a front stage for inputting the clock signal to the FF circuit. The circuit CLC boosts the voltage VDD2 of the clock signal CK to the voltage VDD and then inputs a high voltage clock signal CK to the FF circuit. Consequently the leakage current can be prevented from flowing through the flip-flop circuit.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-103240

(43) 公開日 平成11年(1999) 4月13日

(51) Int.Cl.⁵

H 0 3 K 3/037
3/3562
19/0185

識別記号

F I

H 0 3 K 3/037
3/356
19/00

B
C
1 0 1 B

審査請求 未請求 請求項の数5 O L (全 7 頁)

(21) 出願番号 特願平9-261741

(22) 出願日 平成9年(1997) 9月26日

(71) 出願人 000003078

株式会社東芝
神奈川県川崎市幸区堀川町72番地

(72) 発明者 濱 田 基 嗣

神奈川県川崎市幸区堀川町580番1号 株
式会社東芝半導体システム技術センター内

(72) 発明者 黒 田 忠 広

神奈川県川崎市幸区堀川町580番1号 株
式会社東芝半導体システム技術センター内

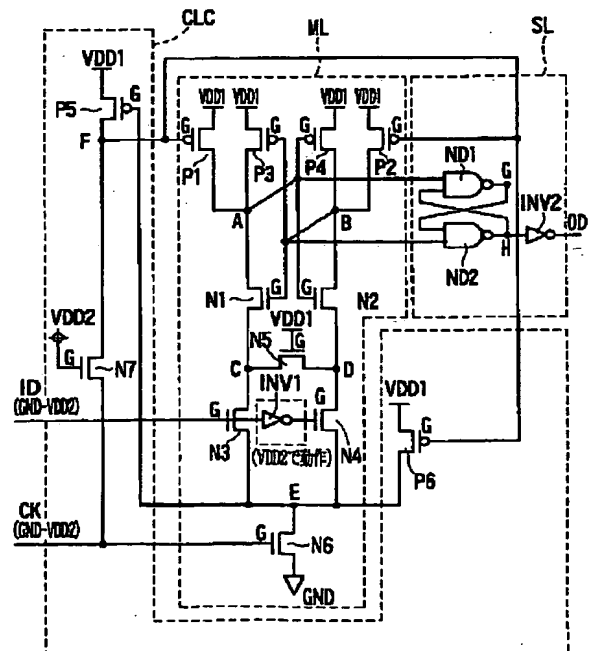
(74) 代理人 弁理士 佐藤 一雄 (外3名)

(54) 【発明の名称】 クロック信号レベル変換機能付ラッチ回路及びフリップフロップ回路

(57) 【要約】

【課題】 フリップフロップ回路内でリーク電流が流れるのを防止する。

【解決手段】 マスターラッチ回路MLとスレーブラッチ回路SLとを備えるフリップフロップ回路を電圧VDD1で動作させる。また、クロック信号CKを、電圧VDD1よりも低い電圧VDD2とグラウンドとの間で振幅させる。このクロック信号CKをフリップフロップ回路へ入力する前段に、クロック信号レベル変換回路CLCを設ける。このクロック信号レベル変換回路CLCで、電圧VDD2のハイのクロック信号CKを、電圧VDD1に上げた後にフリップフロップ回路へ入力する。これにより、フリップフロップ回路内でリーク電流が流れるのを防止することができる。



【特許請求の範囲】

【請求項1】第1の電圧で動作するラッチ回路であって、入力されたクロック信号がハイの間は、前記クロック信号の立ち上がり時における入力信号の内容を保持して出力信号とし、前記クロック信号がロウの間は、前記入力信号にかかわらずハイの出力信号を出力する、ラッチ回路と、

前記ラッチ回路へ前記クロック信号を入力する前段に設けられたクロック信号レベル変換回路であって、前記クロック信号がハイの場合には、前記第1の電圧より低い第2の電圧で入力されたクロック信号の電圧レベルを高めたうえで、前記第1の電圧のクロック信号として前記ラッチ回路へ入力するための、クロック信号レベル変換回路と、

を備えたことを特徴とするクロック信号レベル変換機能付ラッチ回路。

【請求項2】前記ラッチ回路は、前記第1の電圧の電源に入力端子が接続されたブリチャージ用の第1トランジスタを備えるとともに、前記クロック信号レベル変換回路からこの第1トランジスタの制御端子へ前記第1の電圧の前記クロック信号を入力することを特徴とする請求項1に記載のクロック信号レベル変換機能付ラッチ回路。

【請求項3】前記ラッチ回路は、負側電源に接続された出力端子と、前記第2の電圧の前記クロック信号が入力される制御端子とを有する、第2トランジスタを備え、前記クロック信号レベル変換回路は、前記第1の電圧の電源に接続された入力端子と、前記第1トランジスタの制御端子へ接続された出力端子と、前記第2トランジスタの入力端子に接続された制御端子とを有する、第3トランジスタを備える、ことを特徴とする請求項2に記載のクロック信号レベル変換機能付ラッチ回路。

【請求項4】前記クロック信号レベル変換回路は、前記第3トランジスタの出力端子と、前記第2の電圧の前記クロック信号を取り込むためのクロック入力端子との間に、常時オン状態となる、第4トランジスタを備えることを特徴とする請求項3に記載のクロック信号レベル変換機能付ラッチ回路。

【請求項5】前記請求項1乃至請求項4のいずれかに記載のクロック信号レベル変換機能付ラッチ回路から構成されたマスターラッチ回路と、このマスターラッチ回路からの出力信号により動作するスレーブラッチ回路と、を備えたことを特徴とするクロック信号レベル変換機能付フリップフロップ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はクロック信号レベル変換機能付ラッチ回路及びフリップフロップ回路に関

し、特に、多電源で動作するLSIに用いられる、クロック信号レベル変換機能付ラッチ回路及びフリップフロップ回路に関する。

【0002】

【従来の技術】集積回路の低消費電力化を図るために、チップ内部を多電源化することが、従来から行われている。例えば、通常電圧VDDで動作する組み合わせ論理回路と、この通常電圧VDDより低い低電圧VDDLで動作する組み合わせ論理回路とを、1つのLSIチップの中に設けることが行われている。さらにこれに加えて、クロック信号やデータ信号における振幅の低電圧化を図ることが行われている。このようなLSIにおいては、低電圧VDDLで動作する組み合わせ論理回路と、通常電圧VDDで動作する組み合わせ論理回路との間で、データ信号のやりとりをする場合、電圧レベルを変換する必要が生じる。このような電圧レベルの変換は、フリップフロップ回路で行われるのが一般的である。

【0003】このようなフリップフロップ回路は、例えば、「1997 Symposium on VLSI Circuits Digest of Technical Papers, pp97-98」に開示されている。これには、図3に示すようなフリップフロップ回路が開示されている。図3からわかるように、このフリップフロップ回路は、図中左側から低電圧VDDLで振幅するクロック信号CKや入力データ信号IDを入力し、図中右側から通常電圧VDDで振幅する出力データ信号ODを出力する回路である。

【0004】

【発明が解決しようとする課題】ところで、図3に示すフリップフロップ回路は、ブリチャージ用のp型MOSトランジスタP1、P2におけるしきい値電圧を、他のMOSトランジスタより、高くする必要がある。なぜなら、p型MOSトランジスタP1、P2のしきい値電圧が低いと、クロック信号CKがハイとなった場合でも、これらp型MOSトランジスタP1、P2が完全なオフ状態とならず、リーク電流LCが流れてしまうという問題があるからである。例えば、p型MOSトランジスタP1に着目すると、クロック信号CKがハイとなった場合は、このp型MOSトランジスタP1は完全なオフ状態となり、電圧VDDの電源とノードXとの間を遮断しなければならない。しかしながら、p型MOSトランジスタP1のしきい値電圧が低いと、クロック信号CKがハイとなっても、このp型MOSトランジスタP1が完全なオフ状態とならず、電圧VDDの電源からノードXへリーク電流LCが流れてしまう。このことはp型MOSトランジスタP2においても同様である。このようにクロック信号CKがハイのときに、定常的なリーク電流LCが流れると、消費電力が増大するとともに動作速度の低下を招く。以上のような理由により、p型MOSトランジスタP1、P2のしきい値電圧を高くしておく必要があるのである。

【0005】このようにしきい値電圧を高くしておくため、従来は、これらp型MOSトランジスタP1、P2の基板へしきい値制御用電圧VWELLを印加していた。しかし、このしきい値制御用電圧VWELLが必要となると、このフリップフロップ回路を動作させるために、3種類の電圧電源が少なくとも必要になるという問題があった。すなわち、このしきい値制御用電圧VWELLの他に、p型MOSトランジスタP1、P2等のMOSトランジスタを動作させるための電圧VDDと、クロック信号CK等を発生させるためやインバータINV1を動作させるための電圧VDDLとが、必要となり、全部で3つの異なる電圧の電源が必要になるという問題があった。

【0006】一方、p型MOSトランジスタP1、P2のしきい値電圧を、集積回路の製造過程におけるイオンインプラ工程において制御する方法も存在した。しかし、このようなやり方は1つの集積回路内に異なるしきい値電圧のMOSトランジスタが混在することとなり、製造工程数の増加や製造コストの増大を招くという問題があった。

【0007】そこで本発明は、これらの課題に鑑みてなされたものであり、クロック信号CKを、フリップフロップ回路の動作電圧より低い電圧で振幅させた場合でも、リーク電流LCが流れないようにしたフリップフロップ回路を提供することを目的とする。すなわち、クロック信号CKがハイになった場合に、プリチャージ用のp型MOSトランジスタP1、P2が十分なオフ状態にならないという問題を解決することを目的とする。

【0008】

【課題を解決するための手段】上記課題を解決するため、本発明に係るクロック信号レベル変換機能付ラッチ回路は、第1の電圧で動作するラッチ回路であって、入力されたクロック信号がハイの間は、前記クロック信号の立ち上がり時における入力信号の内容を保持して出力信号とし、前記クロック信号がロウの間は、前記入力信号にかかわらずハイの出力信号を出力する、ラッチ回路と、前記ラッチ回路へ前記クロック信号を入力する前段に設けられたクロック信号レベル変換回路であって、前記クロック信号がハイの場合には、前記第1の電圧より低い第2の電圧で入力されたクロック信号の電圧レベルを高め、前記第1の電圧のクロック信号として前記ラッチ回路へ入力するための、クロック信号レベル変換回路と、を備えたことを特徴とするものである。

【0009】

【発明の実施の形態】本実施形態は、マスターラッチ回路とスレーブラッチ回路とからなるフリップフロップ回路へクロック信号を入力する際に、このクロック信号のハイ状態における電圧を高くして、このフリップフロップ回路で用いられているMOSトランジスタが十分なオフ状態となるようにしたものである。そしてこれによ

り、リーク電流が流れないようにして、消費電力の抑制を図ったものである。以下により詳しく説明する。

【0010】図1は本実施形態に係るクロック信号レベル変換機能付フリップフロップの回路の一例を示す図である。

【0011】この図1からわかるように、本実施形態のクロック信号レベル変換機能付フリップフロップ回路は、マスターラッチ回路MLとスレーブラッチ回路SLとクロック信号レベル変換回路CLCとを、備えて構成される。

【0012】マスタースレーブラッチMLは、p型MOSトランジスタP1乃至P4と、n型MOSトランジスタN1乃至N6と、インバータINV1とを、備えて構成される。すなわち、図中下側におけるグランド端子の上側には、n型MOSトランジスタN6が設けられている。電圧VDD1の電源とこのn型MOSトランジスタN6との間における図中左側には、p型MOSトランジスタP3と、n型MOSトランジスタN1と、n型MOSトランジスタN3とが、直列的に接続されて、設けられている。また、電圧VDD1の電源とn型MOSトランジスタN6との間における図中右側には、p型MOSトランジスタP4と、n型MOSトランジスタN2と、n型MOSトランジスタN4とが、直列的に接続されて、設けられている。

【0013】前述のp型MOSトランジスタP3と並列に、p型MOSトランジスタP1が設けられている。また、前述のp型MOSトランジスタP4と並列に、p型MOSトランジスタP2が設けられている。これらp型MOSトランジスタP1、P2は、ノードA、Bをクロック信号CKがロウのときには常にハイ状態にする、プリチャージ用のトランジスタである。p型MOSトランジスタP4のゲートGとn型MOSトランジスタN2のゲートGは互いに共通接続されており、その中点はp型MOSトランジスタP3とn型MOSトランジスタN1との間のノードAに接続されている。これと同様に、p型MOSトランジスタP3のゲートGとn型MOSトランジスタN1のゲートGは互いに共通接続されており、その中点はp型MOSトランジスタP4とn型MOSトランジスタN2との間のノードBに接続されている。

【0014】n型MOSトランジスタN1とn型MOSトランジスタN3との間にはノードCが設けられており、n型MOSトランジスタN2とn型MOSトランジスタN4との間にはノードDが設けられている。これらノードCとノードDの間にはn型MOSトランジスタN5が接続されている。このn型MOSトランジスタN5のゲートGには、電圧VDD1の電源が接続されている。つまり、このn型MOSトランジスタN5は、常時オン状態のトランジスタになっている。

【0015】n型MOSトランジスタN3のゲートGとn型MOSトランジスタN4のゲートGとの間には、イ

ンバータINV1が接続されている。このインバータINV1は、電圧VDD1よりも低い電圧である電圧VDD2で、動作するようになっている。n型MOSトランジスタN3のゲートGには、入力データ信号IDが入力され、n型MOSトランジスタN4のゲートGには、入力データ信号IDを反転した信号が入力される。したがって、n型MOSトランジスタN3とn型MOSトランジスタN4は互いに相補動作するようになっている。また、入力データ信号IDは、グラウンドからVDD2の幅で振幅する信号である。

【0016】スレーブラッチ回路SLは、NAND回路ND1、ND2と、インバータINV2とを備えて構成される。すなわち、NAND回路ND1の出力側は、NAND回路ND2の第1の入力側に接続されており、NAND回路ND2の出力側は、NAND回路ND1の第1の入力側に接続されている。NAND回路ND1の第2の入力側は、p型MOSトランジスタP4のゲートG側へ接続されている。つまり、ノードAに接続されている。NAND回路ND2の第2の入力側は、p型MOSトランジスタP3のゲートG側へ接続されている。つまり、ノードBに接続されている。NAND回路ND1の出力側にはノードGが設けられており、NAND回路ND2の出力側にはノードHが設けられている。このノードHには、インバータINV2が接続されている。このインバータINV2からの出力が、出力データ信号ODとなる。すなわち、このクロック信号レベル変換機能付フリップフロップ回路の出力信号である、出力データ信号ODとなる。

【0017】これらマスターラッチ回路MLとスレーブラッチ回路SLの図中外側には、クロック信号レベル変換回路CLCが設けられている。つまり、マスターラッチ回路MLの前段に、クロック信号レベル変換回路CLCが設けられている。このクロック信号レベル変換回路CLCは、p型MOSトランジスタP5、P6と、n型MOSトランジスタN7とを備えて構成される。

【0018】電圧VDD1の電源とn型MOSトランジスタN6のゲートGとの間には、p型MOSトランジスタP5とn型MOSトランジスタN7とが、直列的に接続されて、設けられている。p型MOSトランジスタP5のゲートGは、前述したn型MOSトランジスタN3、N4、N6の接続点であるノードEと接続されている。p型MOSトランジスタP5とn型MOSトランジスタN7との間には、ノードFが設けられている。このノードFは、p型MOSトランジスタP1のゲートGと、p型MOSトランジスタP2のゲートGと、p型MOSトランジスタP6のゲートGとへ、接続されている。n型MOSトランジスタN7のゲートGは、電圧VDD2の電源に接続されている。したがって、このn型MOSトランジスタN7は常時オン状態のトランジスタになっている。n型MOSトランジスタN7とn型MO

トランジスタN6との間には、クロック信号CKを入力するためのクロック入力端子が設けられている。このクロック信号CKは、グラウンドからVDD2の間で振幅する信号である。前述の接続点Eと電圧VDD1の電源との間には、p型MOSトランジスタP6が設けられている。

【0019】次に、この図1に示すクロック信号レベル変換機能付フリップフロップ回路の動作を、図2に基づいて説明する。この図2は、このクロック信号レベル変換機能付フリップフロップ回路にける各所のタイムチャートを示す図である。図2(a)はクロック信号CKの一例を示すタイムチャートであり、図2(b)は入力データ信号IDの一例を示すタイムチャートである。これらクロック信号CKと入力データ信号IDとは、グラウンドからVDD2の幅で振幅する。図2(c)乃至(j)は、ノードA乃至Hにおける電圧の一例を示すタイムチャートであり、グラウンドからVDD1の幅で振幅する。図2(k)は、出力データ信号ODの一例を示すタイムチャートであり、グラウンドからVDD1の幅で振幅する。

【0020】特に図2(a)(b)(k)からわかるように、このクロック信号レベル変換機能付フリップフロップ回路は、クロック信号CKの立ち上がり時にハイの入力データ信号IDが入力された場合に、その後におけるクロック信号CKの一周分の間、ハイの出力データ信号ODを出力するとともに、その電圧を電圧VDD2から電圧VDD1へ昇圧する回路である。マスターラッチ回路MLを単独で見ると、入力されたクロック信号CKがハイの間は、このクロック信号CKの立ち上がり時における入力データ信号IDを保持する。すなわち、クロック信号CKの立ち上がり時における入力データ信号IDのハイ又はロウに対応して、ノードA又はBのいずれか一方をハイとし、他方をロウとする。一方、前記クロック信号CKがロウの間は、前記入力データ信号IDの内容にかかわらず、ノードA及びBをハイとする。このような動作をするマスターラッチ回路MLは、一般にラッチ型センスアンプと呼ばれる、広義のラッチ回路である。より詳しく説明すると、以下のようになる。

【0021】図1からわかるように、クロック信号CKがn型MOSトランジスタN6のゲートGと、p型MOSトランジスタP1、P2、P6のゲートGとへ、入力されている。このようにクロック信号CKが入力されている状態において、図2(b)からわかるように、時刻t1に、入力データ信号IDがロウからハイに切り替わったとする。この時刻t1においては、図2(a)からわかるように、クロック信号CKはロウであり、n型MOSトランジスタN6はオフである。このため、図2(c)乃至(k)からわかるように、このクロック信号レベル変換機能付フリップフロップ回路には、影響が現れない。

【0022】次に図2(a)からわかるように、時刻 t_2 でクロック信号CKがロウからハイに切り替わる。すると、n型MOSトランジスタN6がオンとなる。このため、図2(d)からわかるように、ノードEの電圧がグランドとなる。したがって、p型MOSトランジスタP5がオンとなり、図2(c)からわかるように、ノードFがハイとなる。このノードFの電圧はVDD1であり、クロック信号CKの電圧VDD2よりも高い電圧である。ノードFがハイであるので、p型MOSトランジスタP1、P2、P6はいずれもオフとなる。このとき、これらp型MOSトランジスタP1、P2、P6のゲートGの電圧はVDD1であり、ソースの電圧もVDD1である。このため、p型MOSトランジスタP1、P2、P6は、リーク電流が流れない程度の十分なオフ状態となる。

【0023】さらにこの時刻 t_2 においては、図2(b)からわかるように、入力データ信号IDがハイであるので、n型MOSトランジスタN3はオンであり、n型MOSトランジスタN4はオフである。このため、図2(e)からわかるように、ノードCは直ちにロウとなる。これに対して図2(f)からわかるように、ノードDは遅延時間DTだけ遅れた後でロウとなる。これは、ノードDは、n型MOSトランジスタN4がオフであるので直ちにグランド電位とはならないが、常時オン状態であるn型MOSトランジスタN5を介して、ノードCのグランド電位が伝搬してきた後にグランド電位になるためである。このとき、図2(h)からわかるように、ノードBはハイである。したがって、図2(g)からわかるように、ノードAは直ちにロウとなる。このノードAがロウになると、n型MOSトランジスタN2はオフとなり、p型MOSトランジスタP4はオンとなる。このため、図2(f)からわかるように、遅延時間DT経過後にノードDがロウになったときには、すでにn型MOSトランジスタN2がオフとなっているので、図2(h)からわかるように、ノードBはハイのままとなる。

【0024】このように、ノードAがロウ、ノードBがハイであるので、図2(i)(j)からわかるように、ノードGがロウからハイに切り替わり、ノードHがハイからロウに切り替わる。このため、図2(k)からわかるように、出力データ信号ODはロウからハイに切り替わる。この出力データ信号ODの電圧はVDD1であり、入力データ信号IDの電圧であるVDD2よりも高い電圧になっている。

【0025】次に図2(b)からわかるように、時刻 t_3 で入力データ信号IDがハイからロウに切り替わったとする。しかし、図2(a)からわかるように、クロック信号CKはハイ状態のままであり、n型MOSトランジスタN6はオン状態のままである。このため、このクロック信号レベル変換機能付フリップフロップ回路に

は、影響が現れない。

【0026】次に図2(a)からわかるように、時刻 t_4 でクロック信号CKがハイからロウに切り替わる。すると、p型MOSトランジスタP1、P2、P6がいずれもオンとなる。また、n型MOSトランジスタN6がオフとなる。p型MOSトランジスタP1、P2がオンであり、n型MOSトランジスタN6がオフであるので、図2(g)(h)からわかるように、ノードA、Bはいずれもハイとなる。したがって、n型MOSトランジスタN1、N2はともにオンとなり、図2(e)

(f)からわかるように、ノードC、Dはともにハイとなる。このときp型MOSトランジスタP6がオンであるので、図2(d)からわかるように、ノードEがハイとなる。このノードEの電圧はVDD1となる。このため、p型MOSトランジスタP5はリーク電流が流れない程度の十分なオフ状態となる。

【0027】次に図2(a)からわかるように、時刻 t_5 でクロック信号CKがロウからハイに切り替わる。すると、入力データ信号IDがロウとなっているので、上述したクロック信号CKの立ち上がり時の動作である時刻 t_2 における動作と同様の過程を経て、出力データ信号ODがハイからロウへ切り替わる。

【0028】以上のように、本実施形態に係るクロック信号レベル変換機能付フリップフロップ回路は、図1からわかるように、マスターラッチ回路MLへクロック信号CKを入力する前に、このクロック信号CKの電圧をVDD2からVDD1へ上げることとした。このため、p型MOSトランジスタP1、P2にリーク電流が流れてしまうことがなくなる。すなわち、クロック信号CKがハイの場合は、p型MOSトランジスタP1、P2のゲートGの電圧が、電圧VDD1となり、ソース側の電圧と同電圧となる。このため、これらp型MOSトランジスタP1、P2をリーク電流が流れない十分なオフ状態とすることができる。

【0029】しかも、従来のようなしきい値制御用電圧VWELLが不要となるので、電源電圧の種類を削減することができる。すなわち、本実施形態に係るクロック信号レベル変換機能付フリップフロップ回路を用いれば、電圧VDD1の電源と、電圧VDD2の電源との、2種類で済ませることができる。つまり、クロック信号レベル変換機能付フリップフロップ回路等を動作させるために用いられる電圧VDD1の電源と、インバータINV1を動作させるためやクロック信号CKを発生させるため等に用いられる電圧VDD2の電源で、済ませることができる。また、使用されているpMOSトランジスタのしきい値電圧を1つにすることもできるので、製造工程数の削減や製造コストの低減を図ることができる。

【0030】さらに、p型MOSトランジスタP5とクロック信号CKの入力用端子との間に、n型MOSトランジスタN7を設けたので、逆電流が流れるのを防止す

10

20

30

40

50

ることができる。つまり、p型MOSトランジスタP5からクロック信号CKの入力用端子側へ電流が流れるのを防止することができる。なぜなら、クロック信号CKが電圧VDD2のハイとなり、p型MOSトランジスタP5がオンとなった場合でも、n型MOSトランジスタN7のゲートGも電圧VDD2であるので、実質的に電流は流れないからである。

【0031】しかも、クロック信号CKがロウのときには、p型MOSトランジスタP6を介すことにより、電圧VDD1をp型MOSトランジスタP5のゲートGへ印加するので、このp型MOSトランジスタP5をリーク電流が流れない程度の十分なオフ状態とすることができる。すなわち、p型MOSトランジスタP5のソース側の電圧VDD1と同電圧を、p型MOSトランジスタP5のゲートGに印加することとしたので、このp型MOSトランジスタP5を十分なオフ状態とすることができる。

【0032】なお、本発明は上記実施形態に限定されず種々に変形可能である。例えば、図1に示すスレーブラッチ回路SLを省略して、ラッチ回路として用いることもできる。すなわち、クロック信号レベル変換機能付ラッチ回路として、用いることもできる。

【0033】また、電圧の高低関係は上記実施形態に限られるものではない。例えば、入力データ信号IDとクロック信号CKとは、異なる電圧の振幅であっても良い。一方、p型MOSトランジスタP5とp型MOSトランジスタP6との電源電圧は、互いに等しく、且つ、p型MOSトランジスタP1乃至P4の電源電圧と等しいか又は高ければ良い。また、n型MOSトランジスタ

N7のゲート側の電源電圧をVN7Gとし、インバータINV1の電源電圧をVINVとし、入力データ信号IDの振幅をVIDとし、クロック信号CKの振幅をVCKとすると、 $VID \geq VINV$ であり、且つ、 $VCK \geq VN7G$ であれば良い。

【0034】

【発明の効果】以上説明したように、本発明に係るクロック信号レベル変換機能付ラッチ回路及びフリップフロップ回路によれば、クロック信号の電圧レベルを高くした後、クロック信号をこれらラッチ回路及びフリップフロップ回路へ入力することとしたので、内部にリーク電流が流れるのを防止することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係るクロック信号レベル変換機能付フリップフロップの回路の一例を示す図。

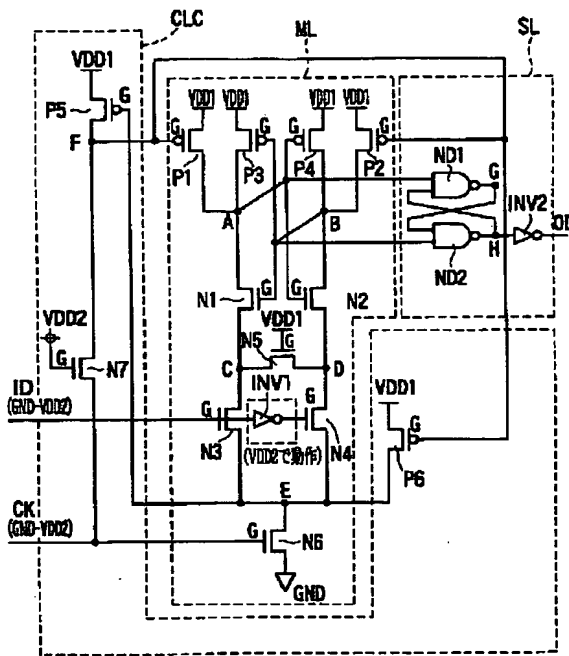
【図2】図1のクロック信号レベル変換機能付フリップフロップ回路のタイムチャートを示す図。

【図3】従来のフリップフロップ回路を示す図。

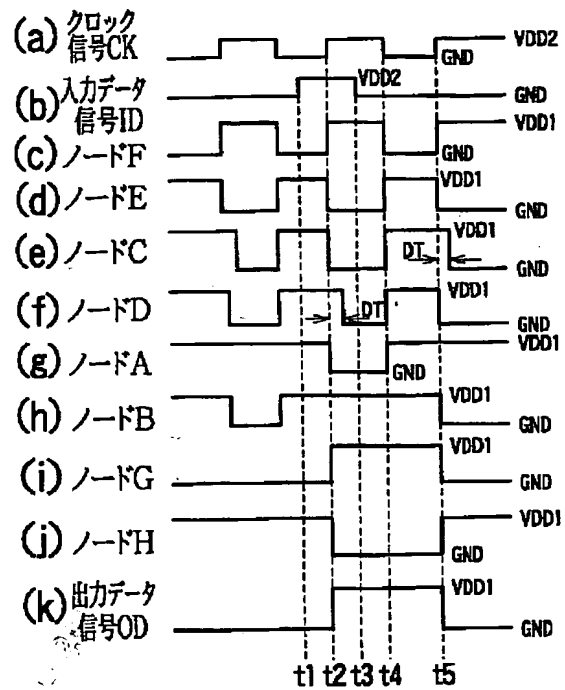
【符号の説明】

ML マスターラッチ回路
SL スレーブラッチ回路
CLC クロック信号レベル変換回路
ID 入力データ信号
OD 出力データ信号
CK クロック信号
INV1、INV2 インバータ
P1～P4 p型MOSトランジスタ
N1～N6 n型MOSトランジスタ

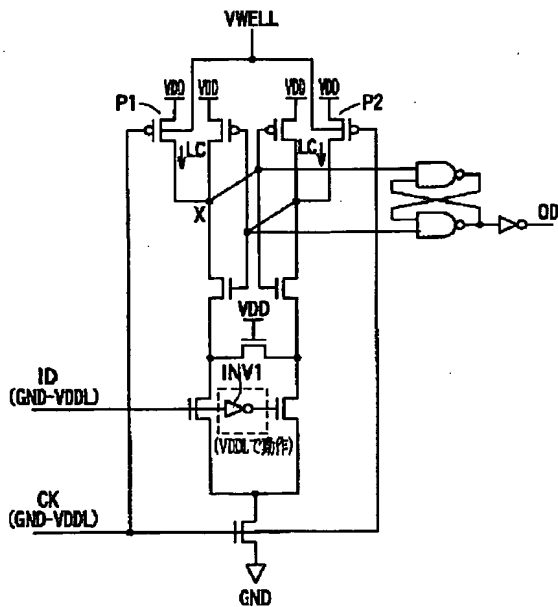
【図1】



【図2】



【図3】



THIS PAGE BLANK (USPTO)